



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaki YAMADA, et al.

GAU: 2812

SERIAL NO: 10/003,114

EXAMINER:

FILED: December 6, 2001

FOR: SEMICONDUCTOR DEVICE HAVING BURIED CONDUCTIVE LAYER AND METHOD OF MANUFACTURING THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-298522	September 27, 2001

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number . Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

Respectfully Submitted,

OBLOON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

 A handwritten signature that appears to read "Surinder Sachar".

Surinder Sachar
Registration No. 34,423



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



10/003,114

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 9月27日

出願番号
Application Number:

特願2001-298522

出願人
Applicant(s):

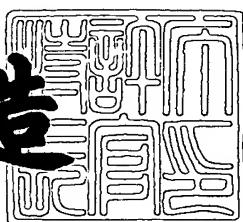
株式会社東芝

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3103493

【書類名】 特許願
【整理番号】 46B015065
【提出日】 平成13年 9月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明の名称】 半導体装置とその製造方法
【請求項の数】 22
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 山田 雅基
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 梶田 明広
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2001-298522

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項1】 第1層間絶縁層と、

前記第1層間絶縁層に形成された溝と、

前記溝を埋め、前記第1層間絶縁層表面より高い表面を有する導電層と、

前記第1層間絶縁層と前記導電層とを被覆し、平坦な表面を持つ絶縁膜と、

前記絶縁膜上に形成され、前記絶縁膜に対しエッチング選択比が高い第2層間絶縁層と

を有することを特徴とする半導体装置。

【請求項2】 前記絶縁膜は、前記導電層上での膜厚より前記第1層間絶縁層上での膜厚が厚いことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記絶縁膜は、

塗布型材料からなることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記絶縁膜は、

前記導電層の導体材料に対し拡散防止効果を持つことを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記第1層間絶縁層および前記第2層間絶縁層の少なくともいずれか一方が、SiO₂膜より低い比誘電率を持つ材料からなることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 前記絶縁膜は、

SiO₂膜より低い比誘電率を持つ材料からなることを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記導電層は、バリアメタル層を有することを特徴とする請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】 前記導電層は、Cu配線層を有することを特徴とする請求項1～7のいずれか1項に記載の半導体装置。

【請求項9】 前記第1層間絶縁層および前記第2層間絶縁層の少なくともいずれか一方がメチルポリシロキサンからなることを特徴とする請求項1～8の

いずれか1項に記載の半導体装置。

【請求項10】 前記絶縁膜は、ポリアリーレン又はベンゾシクロブテンからなることを特徴とする請求項1～9のいずれか1項に記載の半導体装置。

【請求項11】 第1層間絶縁層を形成する工程と、

前記第1層間絶縁層に溝を形成する工程と、

前記第1層間絶縁層上に導電層を形成し、前記溝を前記導電層で埋める工程と

前記導電層形成後の基板表面を研磨し、前記第1層間絶縁層と前記導電層とが露出する平坦面を形成する工程と、

前記第1層間絶縁層表面に残る前記研磨による機械的ダメージ層をエッティング除去する工程と、

前記エッティング後の基板表面上に平坦な表面を持つ絶縁膜を形成する工程と、前記絶縁膜上に、前記絶縁膜に対するエッティング選択比が高い第2層間絶縁層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 第1層間絶縁層を形成する工程と、

前記第1層間絶縁層表面を保護膜で被覆する工程と、

前記保護膜で被覆された前記第1層間絶縁層に溝を形成する工程と、

前記溝形成後の基板表面上に導電層を形成し、前記溝を前記導電層で埋める工程と、

前記導電層形成後の基板表面を研磨し、前記保護膜と前記導電層とが露出する平坦面を形成する工程と、

前記保護膜をエッティング除去する工程と、

前記保護膜除去後の基板表面上に平坦な表面を持つ絶縁膜を形成する工程と、前記絶縁膜上に、前記絶縁膜に対するエッティング選択比が高い第2層間絶縁層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 前記絶縁膜を形成する工程は、塗布法を用いて行うことを特徴とする請求項11または12に記載の半導体装置の製造方法。

【請求項14】 前記保護膜は、SiO₂膜であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 さらに、記第2層間絶縁層および前記絶縁膜を一部エッチングし、底部に少なくとも前記導電層の一部が露出するコンタクトホールを形成する工程と

を有することを特徴とする請求項11～14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】 前記絶縁膜は、

前記導電層の導体材料に対し拡散防止効果を有する材料であることを特徴とする請求項11～15のいずれか1項に記載の半導体装置の製造方法。

【請求項17】 前記第1層間絶縁層および前記第2層間絶縁層のうち少なくともいずれか一方が、SiO₂膜より低い比誘電率を持つ材料であることを特徴とする請求項11～16のいずれか1項に記載の半導体装置の製造方法。

【請求項18】 前記絶縁膜は、

少なくともSiO₂膜より低い比誘電率を持つ材料であることを特徴とする請求項11～17のいずれか1項に記載の半導体装置の製造方法。

【請求項19】 前記第1層間絶縁層および前記第2層間絶縁層の少なくともいずれか一方が、メチルポリシロキサンであることを特徴とする請求項11～18のいずれか1項に記載の半導体装置の製造方法。

【請求項20】 前記導電層の形成工程は、バリアメタル層を形成する工程を含むことを特徴とする請求項11～19のいずれか1項に記載の半導体装置の製造方法。

【請求項21】 前記導電層の形成工程は、Cu配線層を形成する工程を含むことを特徴とする請求項11～20のいずれか1項に記載の半導体装置の製造方法。

【請求項22】 前記エッチング除去する工程と、前記絶縁膜を形成する工程と、前記第2層間絶縁層を形成する工程とを、いずれも常圧雰囲気中で行うことを特徴とする請求項11～21のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、特に埋め込み法（ダマシン法）を用いて形成される導電層を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】

近年、コンピューターや通信機器の重要な部分には、大規模集積回路（LSI）が多用されており、機器全体の性能がLSI単体の性能と大きく結びついている。LSI単体の性能は集積度を高めることで向上されるが、その一方で、集積化に伴う素子の微細化のため、配線抵抗の増大や配線間の容量結合に起因するRC遅延によりLSIの高速動作が阻害されるという問題が顕著になってきている。

【0003】

この問題を解決するためには配線抵抗や配線間容量の低減が必要であり、低抵抗の配線材料や低誘電率の絶縁膜材料の採用が広がっている。例えば、配線材料については、これまでのAl配線にかえて、比抵抗が35%ほど低いCu配線が使用されるようになってきており、層間絶縁膜についても、比誘電率kが約4.1以上のSiO₂にかえて、比誘電率kが3.6未満のSiOF膜等が使用されるようになってきた。

【0004】

【発明が解決しようとする課題】

Cu配線は低抵抗であり、Al配線に比べてエレクトロマイグレーション耐性も優れているが、Si基板やSiO₂膜中のCuの拡散は非常に速く、Cuが拡散するとトランジスタ特性に悪影響を与える虞れがある。そのため、Cu配線層を形成する場合は、その周囲を拡散防止効果のあるバリアメタルおよび絶縁膜で覆う構造が必要となる。

【0005】

例えば、図6(a)に示すように、基板210表面に素子分離層である絶縁層220を持つ半導体基板層215上に形成された第1層間絶縁層230中に埋め込み法（ダマシン法）でCu配線250を形成する場合は、Cu配線250が埋め込まれる溝の底面と側面にはバリアメタル240を形成するとともに、Cu配

線250の露出表面上を絶縁性の拡散防止膜260で被覆する必要がある。

【0006】

一方、この拡散防止膜260は、第2層間絶縁層270にコンタクトホールを形成する際のエッティングストップとしても使用されている。従って、第2層間絶縁層270が拡散防止膜260に対し高いエッティング選択比を得られるように材料を選定しなければならない。そこで、最近では第2層間絶縁層270として、低誘電性材料であるSiOFを使用するとともに、拡散防止膜260としては主にCVD法等を用いて形成したSiN膜やSiC膜が使用されている。

【0007】

しかし、これらの従来の拡散防止膜材料であるSiN膜やSiC膜は、低誘電性の層間絶縁層に比較し比誘電率が圧倒的に高いため、層間絶縁層に低誘電性材料を用いても、配線間容量を十分に低減することができない。

【0008】

また、ダマシン法を用いて形成するCu配線については、さらに次のような問題点も指摘されている。

【0009】

まず、ダマシン法を用いて配線を形成する場合は、配線溝を導電性材料で埋めた後、CMP (Chemical Mechanical Polishing) 処理を行い、基板表面の平滑化を図っている。しかし、このCMP工程は機械的処理を含むため、図6 (a) に示すように、基板表面には微細な機械的ダメージ235が残る。特に第1層間絶縁層230に残った機械的ダメージ235は後続するプロセスでもエッティング等されることなく残留し、このダメージ235が膜剥がれ等を引き起こす要因になりやすい。

【0010】

また、図6 (b) に示すように、拡散防止膜260をエッティングストップとして使用してCu配線250上にコンタクトホール280を形成する際には、Cu配線250とコンタクトホール280との位置あわせにずれが生じると、Cu配線250からずれたコンタクトホールの部分で、エッティングストップである拡散防止膜260膜を突き抜けてエッティングが進み、局所的に深い溝が形成される場

合がある。このような深い溝部分には埋め込み不良が生じやすく、Cu配線の被覆不良等の原因となりやすい。

【0011】

これらの課題は、Cu配線に限らず、ダマシン法を用いて形成するメタル配線メタルゲート等の導電層にも共通するものである。

【0012】

本発明の第1の目的は、上述する従来の課題に鑑み、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、コンタクトホールの歩留まりを上げることである。

【0013】

本発明の第2の目的は、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、層間絶縁層の表面に機械的ダメージ層を残さないことである。

【0014】

さらに本発明の第3の目的は、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、RC遅延をより効果的に抑制することである。

【0015】

【課題を解決するための手段】

本発明の半導体装置の特徴は、第1層間絶縁層と、第1層間絶縁層に形成された溝と、その溝を埋め、第1層間絶縁層表面より高い表面を有する導電層と、第1層間絶縁層と上記導電層上を被覆し、表面が略平坦な絶縁膜と、この絶縁膜上に形成され、絶縁膜に対し高いエッティング選択比を持つ第2層間絶縁層とを有することである。なお、ここで半導体基板層表面には絶縁膜や半導体素子層が形成されていてもよい。

【0016】

なお、ここで「絶縁膜に対し高いエッティング選択比を持つ」とは、絶縁膜のエッティング速度に対しより早いエッティング速度を有することをいう。

【0017】

上記特徴を有する半導体装置によれば、埋め込み導電層を有する構造において、導電層周囲の第1層間絶縁層の表面が上記導電層の表面より低く、しかもこれらの上に形成される絶縁膜は平坦な表面を有するので、絶縁膜は、第1層間絶縁層表面上で厚く、導電層上で薄く形成される。従って、この絶縁膜をエッチングストップとして上記導電層上にコンタクトホールを形成する際には、合わせずれが生じても、導電層以外の部分では、より厚い絶縁膜がエッチングの進行を抑制するので、局部的に深い溝が形成されることがない。従って、コンタクトホールの埋め込み不良発生等を防止できる。なお、第1層間絶縁層の表面が導電層表面より低い構造は、第1層間絶縁層表面のダメージ層をエッチング除去することで得ることも可能である。

【0018】

また、上記絶縁膜を塗布型材料で形成してもよい。この場合は、極めて容易に平坦な絶縁膜面を形成することができる。

【0019】

さらに、上記絶縁膜は、上記導電層の導体材料に対し拡散防止効果を有する材料からなるものとしてもよい。この場合は、上記導電材料として拡散しやすいもの等をも使用することができる。

【0020】

また、上記第1層間絶縁層および前記第2層間絶縁層の少なくともいずれか一方がSiO₂膜より低い比誘電率を持つ材料からなるものであってもよい。さらに、上記絶縁膜も、少なくともSiO₂膜より低い比誘電率を持つ材料からなるものであってもよい。この場合は、配線間容量を低減でき配線のRC遅延を改善することができる。

【0021】

なお、上記導電層が、バリアメタル層を備える場合は、導電層からの導電材の拡散を防止できる。また上記導電層としてCu配線層を有する場合は、その低い抵抗値により、RC遅延を改善できる。

【0022】

本発明の半導体装置の製造方法の第1の特徴は、第1層間絶縁層を形成する

工程と、第1層間絶縁層に溝を形成する工程と、第1層間絶縁層上に導電層を形成し、上記溝を導電層で埋める工程と、上記導電層形成後の基板表面を研磨し、上記第1層間絶縁層と上記導電層とが露出する平坦面を形成する工程と、上記第1層間絶縁層表面の研磨によってできた機械的ダメージ層をエッチング除去する工程と、エッチング後の基板表面上に平坦な表面を有する絶縁膜を形成する工程と、絶縁膜上に絶縁膜に対するエッチング選択比が高い第2層間絶縁層を形成する工程とを有することである。

【0023】

上記半導体装置の製造方法の第1の特徴によれば、基板表面を研磨後、研磨によってできた上記第1層間絶縁層表面のダメージ層をエッチング除去するので、残ったダメージ層の影響による特性劣化を抑制できる。またこのエッチングにより導電層表面に対し第1層間絶縁層表面が相対的に下がるので、基板表面に凹凸ができるが、この上に平坦な絶縁膜を形成する。従って、絶縁膜は凸部である導電層上には薄く、凹部である第1層間絶縁層上には厚く形成される。この結果、この絶縁膜をエッチングストッパとして上記導電層上にコンタクトホールを形成する場合は、合わせずれが生じても、導電層以外の部分では、より厚い絶縁膜がエッチング進行を抑制するので、局部的な深い溝の形成を防止できコンタクトホールの埋め込み不良発生等を防止することができる。

【0024】

本発明の半導体装置の製造方法の第2の特徴は、第1層間絶縁層を形成する工程と、第1層間絶縁層表面を保護膜で被覆する工程と、該保護膜で被覆された第1層間絶縁層に溝を形成する工程と、溝形成後の基板表面上に導電層を形成し、上記溝を導電層で埋める工程と、導電層形成後の基板表面を研磨し、保護膜と導電層とが露出する平坦面を形成する工程と、上記保護膜をエッチング除去する工程と、上記保護膜除去後の基板表面上に平坦な表面を有する絶縁膜を形成する工程と、絶縁膜上に絶縁膜に対するエッチング選択比が高い第2層間絶縁層を形成する工程とを有することである。

【0025】

上記半導体装置の製造方法の第2の特徴によれば、基板表面の研磨工程にお

いて、予め第1層間絶縁層表面が保護膜で被覆されているので、第1層間絶縁層表面は直接研磨のダメージを受けない。また、研磨処理後、保護膜がエッチング除去されるので、ダメージ層は残留しない。さらに、保護膜のエッチング除去により、基板表面には凸部である導電層と凹部である第1層間絶縁層が残るが、この上に平坦な絶縁膜を形成するので、絶縁膜の膜厚は導電層上では薄く、第1層間絶縁層上では厚くなる。従って、この絶縁膜をエッチングストップとして上記導電層上にコンタクトホールを形成する場合には、合わせずれが生じても、導電層以外の部分では、より厚い絶縁膜がエッチング進行を抑制するので、局部的な深い溝の形成が防止され、コンタクトホールの埋め込み不良発生等を防止できる。

【0026】

なお、上記第1または第2の特徴を有する半導体装置の製造方法において、上記平坦な表面を有する絶縁膜は、塗布法を用いて形成するものでもよい。この場合は、容易に平坦な表面を形成できる。

【0027】

なお、上記第2の特徴を有する半導体装置の製造方法において、上記保護膜は、 SiO_2 膜であってもよい。

【0028】

また、上記第1または第2の特徴を有する半導体装置の製造方法において、上記絶縁膜は、上記導電層の導体材料に対し拡散防止効果を有する材料で形成してもよい。この場合は、上記導電材料として拡散しやすいもの等をも使用することができる。

【0029】

さらに、上記第1層間絶縁層および前記第2層間絶縁層のいずれか一方を少なくとも SiO_2 膜より低い比誘電率を持つ材料を使用してもよい。あるいは、上記絶縁膜として、少なくとも SiO_2 膜より低い比誘電率を持つ材料を使用してもよい。この場合は、配線のRC遅延を抑制することができる。

【0030】

なお、上記導電層が、バリアメタル層を備える場合は、導電層からの導電材

の拡散を防止できる。また上記導電層としてCu配線層を有する場合は、その低い抵抗値により、配線のRC遅延を改善できる。

【0031】

また、上記第1または第2の特徴を有する半導体装置の製造方法において、上記エッチング除去する工程と、上記絶縁膜を形成する工程と、第2層間絶縁層を形成する工程とを常圧雰囲気中で行ってもよい。この場合は、上記各工程の処理を連続して行い、各工程間の基板搬送が容易で、生産効率の高い製造装置を用いることができる。

【0032】

【発明の実施の形態】

(第1の実施の形態)

以下、図面を参照して本発明の実施の形態に係るCu配線構造を説明する。

【0033】

図1(a)は、第1の実施の形態に係る半導体装置の構成図である。なお、同図には、素子分離層である絶縁層20上に形成される配線層を例示しているが、機能素子が形成される活性化領域上にも同様な配線構造が形成されるものとする。

【0034】

図1(a)に示すように、第1の実施の形態に係る半導体装置は、素子分離層である絶縁層20上に、第1層間絶縁層30が形成されており、この第1層間絶縁層30に配線溝が形成されている。配線溝の内壁にはバリアメタル40が形成され、その内側にCu配線50が埋め込まれている。

【0035】

ここで、第1の実施の形態の半導体装置の特徴のひとつは、このCu配線50の露出表面が周囲の第1層間絶縁層30の露出表面より高いことである。即ち、従来CMP処理によるダメージが残留していた第1層間絶縁層30表面が選択的に除去されており、除去された厚み分、第1層間絶縁層30表面が下がり、相対的にCu配線50の表面が高くなっている。

【0036】

また、Cu配線50および第1層間絶縁層30の表面は、Cuの拡散を防止する絶縁膜である拡散防止膜60で被覆されているが、第1の実施の形態では、特に、この拡散防止膜60を塗布型材料で形成している。従って、形成された拡散防止膜60は塗布型材料の良好な流動性により、下地の凹凸に影響されず平坦な表面を有する。このため、拡散防止膜60は、Cu配線50上には薄く、第1層間絶縁層30上には厚く形成されている。

【0037】

さらに拡散防止膜60の上には、第2層間絶縁層70が形成される。なお、ここでは配線層を一層のみしか示していないが、必要に応じ複数の配線層を積層形成してよい。

【0038】

ここで、第1の実施の形態に係る第1、第2の層間絶縁層30、70は、SiO₂より低誘電率材、例えば比誘電率2.7のメチルポリシロキサンを使用することが好ましい。また、拡散防止膜60としては低誘電材料であることが好ましく、さらにエッティングストップとしての機能を備えるために、第2層間絶縁層70が拡散防止膜60に対し高い選択比でエッティングできるように材料を選択することが好ましい。具体的には、例えばポリアリーレン又はベンゾシクロブテン（BCB）等の材料を挙げることができる。なお、拡散防止膜60は、同時にCu配線の酸化防止機能を兼ねる。

【0039】

図1（b）は、第1の実施の形態に係る半導体装置において、Cu配線50上にコンタクトホール80を形成した際の様子を示す装置断面図である。

【0040】

第1の実施の形態の拡散防止膜60をエッティングストップとして利用して、第2層間絶縁層70をエッティングする場合において、図1（b）に示すように、コンタクトホール80とCu配線50との合わせずれが生じることがあるが、Cu配線50上に較べ第1層間絶縁層30上の拡散防止膜60の厚みが十分厚くなっているため、多少のオーバエッチを行っても、拡散防止膜60ではエッティングの進行が抑制されるので、下地の第1層間絶縁膜30に達しない。従って、コンタ

クトホール80とCu配線50との合わせずれが生じても、従来のように局所的に深い溝が形成されることではなく、コンタクトホールの埋め込み不良等の問題の発生を回避できる。

【0041】

以下、図2(a)～図2(e)を参照し、第1の実施の形態に係る半導体装置の製造方法について説明する。なお、従来の方法を使用する素子分離構造の形成工程並びにトランジスタ等の機能素子形成工程については説明を省略し、ここではCu配線の形成方法を中心に説明する。

【0042】

まず、図2(a)に示すように、基板11表面に形成された素子分離層である絶縁層21上に、第1層間絶縁層31を形成する。この第1層間絶縁層31は、低誘電率無機材料で形成されていることが好ましく、例えば塗布法を用いて比誘電率が2.7のメチルポリシロキサンを膜厚約200nm形成する。

【0043】

次に、フォトリソグラフィ工程を用いて、第1層間絶縁層31に所定のCu配線パターンに対応した配線溝を形成する。続けて、この配線溝の内表面を含む基板表面に、バリアメタル41として例えば厚み約10nmのTaN膜を形成し、さらにその上に電解めっきを行うためのシード層としてCu膜を約60nm程度形成する。なお、これらの膜は例えばスパッタ法等用いて形成できる。

【0044】

この後、電解めっき法を用いて、Cuシード層上にCu膜を膜厚約600nm形成した後、配線溝にのみCu膜を残すため、CMP(Chemical Mechanical etching)法を用いて基板表面を研磨し、図2(b)に示すような第1層間絶縁層31とCu配線51が露出する平坦な基板表面を形成する。

【0045】

次に、図2(c)に示すように、例えば希釈したフッ酸を用いたウェットエッティング法により、第1層間絶縁層31の表面層を選択的に約10nm～50nm程エッティングする。このエッティングにより、第1層間絶縁層31表面に残ったCMP工程による機械的なダメージ層は除去される。また、Cu配線51及びバリ

アメタル4 1露出表面は、周囲の第1層間絶縁層3 1の表面より相対的に高くなり、基板表面に凹凸ができる。

【0046】

続いて、図2 (d) に示すように、第1層間絶縁層3 1及びCu配線5 1が形成された基板表面上に塗布法により絶縁性の拡散防止膜6 1を約50 nm程度形成する。さらに拡散防止膜6 1上に、塗布法を用いて第2層間絶縁層7 1を約200 nm程度形成する。第2層間絶縁層7 1材としては、第1層間絶縁層と同様に低誘電材料であるメチルポリシロキサンを用いることが好ましい。

【0047】

拡散防止膜6 1材としては、Cuの拡散を防止する機能を有するとともに、エッチングストッパとしても使用できる、塗布型低誘電率材料であるポリアリーレン又はベンゾシクロブテンを用いることが好ましい。

【0048】

拡散防止膜6 1は、塗布型材料を用いて塗布法で形成されるため、平坦な表面を有する層を形成できる。この結果、拡散防止膜6 1は、Cu配線5 1上には薄く形成され、第1層間絶縁層3 1上には厚く形成される。なお、塗布法としては、スピンドル等を用いたコーティング法の他、塗布液を所定量ずつ所定間隔で基板上に滴下する滴下法等を用いることもできる。

【0049】

この後、図2 (e) に示すように、Cu配線5 1上の必要箇所と上層の配線とを接続するため、第2層間絶縁層7 1および拡散防止膜6 1に、コンタクトホール8 1を形成する。このとき、図2 (e) に示すように、コンタクトホール8 1とCu配線5 1との位置に多少ずれが生じてもCu配線5 1からずれた部分では拡散防止膜6 1が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜6 1内でエッチングの進行を抑えることができる。従って、局部的に深いコンタクトホールの発生を防止できる。

【0050】

以上に説明するように、第1の実施の形態に係る配線構造および配線形成方法によれば、CMP処理に伴い発生する第1層間絶縁層3 1表面の機械的ダメージ

層はエッチング除去されるので、残留ダメージ層に起因する膜剥がれ等の問題を防止できる。

【0051】

また、拡散防止膜61は、塗布型膜の良好な流動性によりCu配線51上に薄く、第1層間絶縁層31上に厚く形成することができるため、コンタクトホール形成時に、位置ずれが生じても、拡散防止膜61の十分な厚みにより第1層間絶縁層31へのエッチングを防ぎ、埋め込み不良等の問題の発生を防止できる。

【0052】

さらに、第1の実施の形態に係る配線構造では、配線層として低抵抗なCu配線51を形成しており、さらに、第1、第2の層間絶縁層31、71とともに拡散防止膜61についても低誘電率材料を使用しているので、配線のRC遅延を大幅に改善することができる。

【0053】

(第2の実施の形態)

第2の実施の形態に係る半導体装置も、図1(a)および図1(b)に示す第1の実施の形態に係る半導体装置と同じ構造を有するが、その製造方法が異なる。以下、図3(a)～図3(e)を参照しながら、第2の実施の形態に係る半導体装置の製造方法について説明する。

【0054】

まず、図3(a)に示すように、基板12上に形成された素子分離層である絶縁膜22上に、第1層間絶縁層32を形成する。さらに続けて第1層間絶縁層32上にキャップ層(保護層)90を形成する。このキャップ層90は、後続するCMP工程の際に受ける機械的ダメージから第1層間絶縁層32を保護するための層であり、その機能を果たすものであれば絶縁膜、導電膜いずれの膜でもよく、電気的特性等は問わない。例えばCVD法で形成した厚さ約50nm～100nmのSiO₂膜をキャップ層90として使用できる。なお、第1層間絶縁層32は、第1の実施の形態と同様の条件で形成することができる。

【0055】

次に、キャップ層90が被覆された第1層間絶縁層32に、フォトリソグラフ

イ工程を用いて、所定のCu配線パターンに対応した配線溝を形成する。続けて、配線溝の内表面を含む基板表面に、バリアメタル42として例えばTaN膜を形成し、その上に電解めっきのためのシード層としてCu膜を形成する。さらに、電解めっき法を用いて、Cuシード層上にCu膜を形成し、配線溝を埋め込む。なおこれらのバリアメタル42とCu膜の膜厚等の作製条件は第1の実施の形態と同様の条件を使用することができる。

【0056】

さらに、CMP法を用いて基板表面を研磨し、図3(b)に示すようなキャップ層90とCu配線52が露出する平坦な基板表面を形成する。

【0057】

続けて、図3(c)に示すように、希釈したフッ酸によりキャップ膜90をエッチング除去する。こうして除去されたキャップ膜90の厚みだけ、第1層間絶縁層32の露出表面はCu配線52の露出表面より低くなる。また、露出した第1層間絶縁層32の表面にはCMP処理による機械的ダメージ層は存在しない。

【0058】

この後に続く工程は、第1の実施の形態に係る製造工程と共通する。即ち、図3(d)に示すように、第1層間絶縁層32及びCu配線52が形成された基板表面上に塗布法により絶縁性の拡散防止膜62を約50nm程度形成し、さらに拡散防止膜62上に、第2層間絶縁層72を約200nm程度形成する。

【0059】

第1の実施の形態と同様に、第2層間絶縁層72としてはメチルポリシロキサンを、および拡散防止膜62としてはポリアリーレンを使用することが好ましい。

【0060】

第2の実施の形態に係る製造方法においても、拡散防止膜62は、塗布型材料を用いて塗布法で形成するため、平坦な表面を有する層を形成できる。この結果、拡散防止膜62は、Cu配線52上には薄く形成され、第1層間絶縁層32上には厚く形成されることになる。

【0061】

この後、図3 (e) に示すように、Cu配線52上の必要箇所と上層の配線とを接続するため、第2層間絶縁層72および拡散防止膜62に、コンタクトホール82を形成する。このとき、図3 (e) に示すように、コンタクトホール82とCu配線52との位置に多少ずれが生じてもCu配線52からはずれた部分では拡散防止膜62が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜62内の厚み内でエッチングの進行を抑えることができる。従って、局部的に深いコンタクトホールの発生を防止できるためコンタクトホールの埋め込み不良等の問題を防止できる。

【0062】

なお、上述する第2の実施の形態では、キャップ膜90として、SiO₂膜を使用しているが、機械的保護膜の機能の他、フォトエッチング工程でのハードマスクとしての機能やレジスト膜に対する反射防止膜としての機能を加えることもできる。

【0063】

第2の実施の形態に係る半導体装置およびその製造方法も第1の実施の形態の場合と同様な効果を得ることができるが、キャップ膜90を使用しているため、より確実に第1層間絶縁層32への機械的ダメージ残留を防止できるとともに、第1層間絶縁層32とCu配線52との凹凸を精度良く再現できる。

【0064】

(第3の実施の形態)

第3の実施の形態に係る半導体装置も、図1 (a) および図1 (b) に示す第1の実施の形態に係る半導体装置とほぼ同じ構造を有するが、ここでは、拡散防止膜として塗布型材料を使用せずに、CVD法を用いた無機膜を使用している。

【0065】

以下、図4 (a) ~図4 (c) を参照しながら、第3の実施の形態に係る半導体装置の製造方法について説明する。なお、基板13に形成された素子分離層である絶縁層23上に形成される第1層間絶縁層33、配線溝、配線溝に埋め込まれたバリアメタル43とCu配線53は、第1の実施の形態と同様な条件で作製することができる。

【0066】

さらに、図4 (a) に示すように、Cu配線53の露出表面が高く、第1層間絶縁層33の表面が低い構造を形成する。この形成方法は、第1の実施の形態、第2の実施の形態のいずれの方法を利用してよい。

【0067】

図4 (b) に示すように、第3の実施の形態に係る半導体装置の製造方法では、拡散防止膜63として従来と同様にCVD法を用いて、SiN膜やSiC膜を形成する。CVD法で形成した膜は被覆性が良く、下地面の凹凸を反映した凹凸の残る拡散防止膜63表面が形成される。

【0068】

そこで、CMP工程を用いて基板表面の平坦化を図る。この結果、図4 (c) に示すようなほぼ平坦な表面を持つ拡散防止膜63を形成できる。即ち、拡散防止膜63をCu配線53上に薄く、第1層間絶縁層33上に厚く形成できる。

【0069】

従って、第1、第2の実施の形態と同様に平坦化された拡散防止膜63上に第2層間絶縁層73を形成し、必要なコンタクトホールを形成する場合は、あわせずれが生じても、Cu配線53からずれた部分では拡散防止膜63が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜63内の厚み内でエッチングの進行を抑えることができる。局部的に深いコンタクトホールの発生を防止できるためコンタクトホールの埋め込み不良等の問題を防止できる。

【0070】

以上、第1～第3の実施の形態では、ダマシン法を用いてCu配線を形成する場合を例に挙げて説明したが、Cu配線に限らず、他のメタル配線をダマシン工程を用いて形成する場合にも、層間絶縁膜に残ったCMP処理によるダメージ層を取り除くためや、コンタクトホール開口時の位置ずれによる局部的な深いホールの発生等を防止することに効果的である。また、配線に限らず、ダマシン法を用いて形成するメタルゲート電極等に対しても同様に適用できる。

【0071】

(第4の実施の形態)

第4の実施の形態では、上述した第1、第2の実施の形態に係る製造方法に適した半導体製造装置の一例を説明する。

【0072】

上述したように、第1の実施の形態の半導体製造方法では、埋め込み配線層を形成するためにCMP処理を行うが、このCMP処理後は、第1層間絶縁層のダメージ層の除去工程、拡散防止膜の形成工程、第2層間絶縁膜の形成工程が続く。

【0073】

ダメージ層の除去はウェットエッチングで行うことができ、拡散防止膜および第2層間絶縁膜の形成はコーティング工程とアニーリング工程が含まれる。従って、CMP工程後は、1)ダメージ層除去のためのウェットエッチング工程、2)拡散防止膜のコーティング工程、3)拡散防止膜のアニーリング工程、4)第2層間絶縁層のコーティング工程および5)第2層間絶縁層のアニーリング工程を行うことになる。ここに挙げた5つの連続する工程は、いずれも高真空チャンバを必要としない常圧中での処理である。

【0074】

第2の実施の形態に係る半導体製造方法を使用する場合にも、CMP処理後、まずキャップ層の除去のためウェットエッチング工程を行うがこれに続く工程は第1の実施の形態に係る工程と一致しており、第2層間絶縁層のアニーリング工程まで、高真空チャンバを必要としない常圧中での処理を連続に行うことになる。

【0075】

そこで、図5(a)、または図5(b)に示すように、高真空チャンバを必要としない上記各工程の処理装置(処理室)を工程順に並べ、各処理室を基板搬送手段でつなげば、枚葉処理が可能な製造ラインを構築することができる。各処理室は高真空を必要としないので、各処理室間のウエハの搬送が容易であり、生産効率を大幅に上げることができる。以下、図面を参照しながら、より具体的に第4の実施の形態に係る半導体製造装置について説明する。

【0076】

図5 (a) に示すように、この半導体製造装置では、基板を搬入するロードカセット121、エッティング室123、コーティング室124、アニーリング室125、コーティング室126、アニーリング室127および基板を搬出するアンロードカセット128が製造工程順に並べられ、各処理室が基板搬送手段によつて接続されている。

【0077】

ロード・カセット121には、例えば第1または第2の実施の形態におけるCMP処理工程までを終えた被処理基板がセットされる。基板は、一枚ごと搬送手段を介してまずエッティング室123に搬送される。エッティング室123には、希釈フッ酸等のエッティング液が入ったタンクと水洗用のタンクもしくは水洗シャワー部、およびスピンドル乾燥部等が備えられ、基板はエッティング室123を通過する過程で、第1層間絶縁層表面のエッティング処理もしくはキャップ膜のエッティング処理を受ける。

【0078】

エッティング室123を出た基板は、コーティング室124に搬送され、ここでは例えば基板表面に拡散防止膜がスピンドルコータ等でコーティングされ、さらにアニーリング室124に移される。アニーリング室124では、コーティングされた拡散防止膜溶液中の溶媒の揮発や、拡散防止膜の架橋反応や重合反応行うための熱処理が行われる。なお、アニーリング室124の雰囲気は、窒素またはアルゴンなどをの不活性ガス雰囲気が好ましく、酸素分圧は100ppb以下の低分圧に制御されていることが望ましい。これらのガス雰囲気は、例えば基板上に不活性ガスをシャワー状に吹き付ける等の処理でも得ることができる。

【0079】

次に基板はコーティング室126に搬送され、ここで、基板表面に第2層間絶縁層がコーティングされる。さらに基板はアニーリング室127に移され、そこで第2層間絶縁層中の溶媒の揮発や、層間絶縁膜の架橋反応や重合反応行うための熱処理が行われる。なお、アニーリング室127内の雰囲気は、拡散防止膜用のアニール室125と同様に、窒素またはアルゴンなどの不活性ガス雰囲気とし、酸素分圧を100ppb以下に制御されていることが望ましい。

【0080】

第2層間絶縁層のアニーリングが終了した基板はアンロード・カセット128に搬送され、ここから装置外部に搬出される。

【0081】

なお、図5（b）に示すように、ロード・カセット121とエッチング室123との間に洗浄室122を備えてもよい。洗浄室122には基板表面の洗浄を目的に、例えば塩酸タンクと水洗タンクが用意され、さらにスピンドル乾燥器が備えられる。

【0082】

上述する第4の実施の形態に係る半導体装置を用いれば、各処理室が処理手順の順に接続されているので、CMP処理後の第1層間絶縁膜もしくはキャップ層のエッチング工程から第2の層間絶縁層形成工程に至るまでを一貫した連続工程で処理することができるので、スループットの向上を図ることができる。

【0083】

なお、エッチング室123で使用するエッチング溶液の種類は、被エッチング材の種類により適宜変更することが可能である。また、図5（b）では、基板表面洗浄処理とエッチングを別の処理室で行っているが、薬液を代えて一つの処理室で処理してもよい。この場合、装置面積を小さくできるメリットがある。

【0084】

また、拡散防止膜のアニーリングと第2層間絶縁層のアニーリングは、それぞれ独立したアニーリング室125、127で処理を行っているが、拡散防止膜についてはベークだけを済ませておいて、第2層間絶縁層をキュアする際に一緒に拡散防止膜のキュアを行っても良い。

【0085】

さらにまた、各処理室を並列に複数設ければ、さらに処理スピードを上げることができる。

【0086】

以上、第1～第4の実施の形態について、説明したが、本発明の半導体装置およびその製造方法は、これらの説明に限定されるものではなく、材料の置換や改

良等が可能であることは当業者には自明である。

【0087】

【発明の効果】

以上に説明したように、本発明の半導体装置によれば、第1層間絶縁層表面上で厚く、導電層上で薄い絶縁膜が形成されているので、この絶縁膜をエッティングストップとして用いて上記導電層上にコンタクトホールを形成する場合は、合わせすれが生じても、第1層間絶縁層表面上の厚い絶縁膜がエッティング進行を抑制するので、局部的な深い溝の形成による埋め込み不良発生等を防止し、歩留まりの高い半導体装置を提供できる。

【0088】

さらに、導電層としてCu配線を使用し、絶縁膜として低誘電率材料を使用した場合は、RC遅延を大幅に低減できる。

【0089】

また、本発明の半導体装置の製造方法によれば、第1層間絶縁層表面に機械的ダメージ層を残さないので、膜剥がれ等の発生を防止できる。平坦な表面の絶縁膜の形成により、絶縁膜を導電層上には薄く、第1層間絶縁層上には厚く形成できるので、この絶縁膜をエッティングストップとして用いて上記導電層上にコンタクトホールを形成する場合は、合わせすれが生じても、第1層間絶縁層表面上の厚い絶縁膜がエッティング進行を抑制するので、局部的な深い溝の形成による埋め込み不良発生等を防止し、歩留まりの高い半導体装置を提供できる。

【0090】

さらに、導電層としてCu配線を使用し、絶縁膜として低誘電率材料を使用した場合は、RC遅延を低減できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の断面図である。

【図2】

本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図3】

本発明の第2の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図4】

本発明の第3の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図5】

本発明の第4の実施の形態に係る半導体装置の構成図である。

【図6】

従来の半導体装置の構成を示す図である。

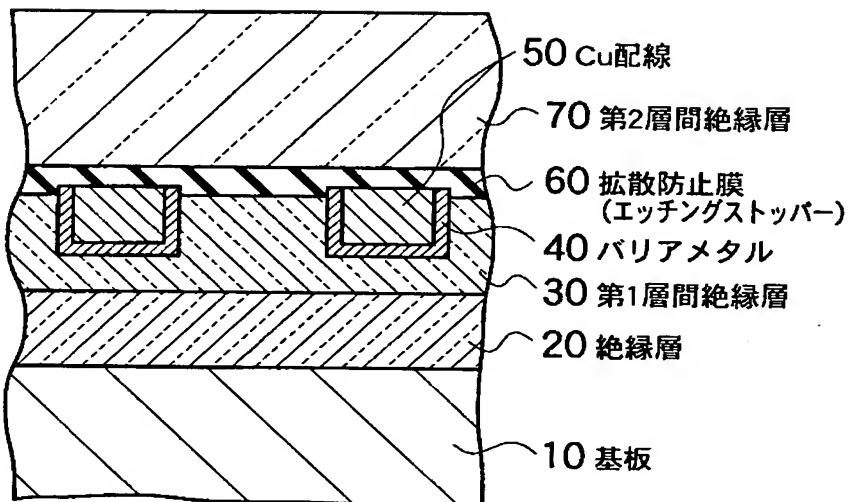
【符号の説明】

- 10、11、12、13 基板
- 20、21、22、23 絶縁層
- 30、31、32、33 第1層間絶縁層
- 40、41、42、43 バリアメタル
- 50、51、52、53 Cu配線
- 60、61、62、63 拡散防止膜
- 70、71、72、73 第2層間絶縁層

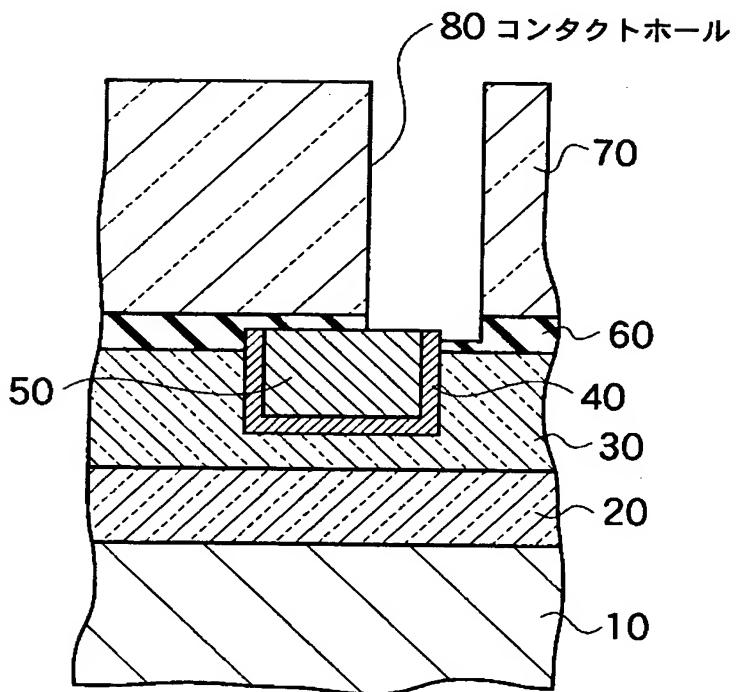
【書類名】 図面

【図1】

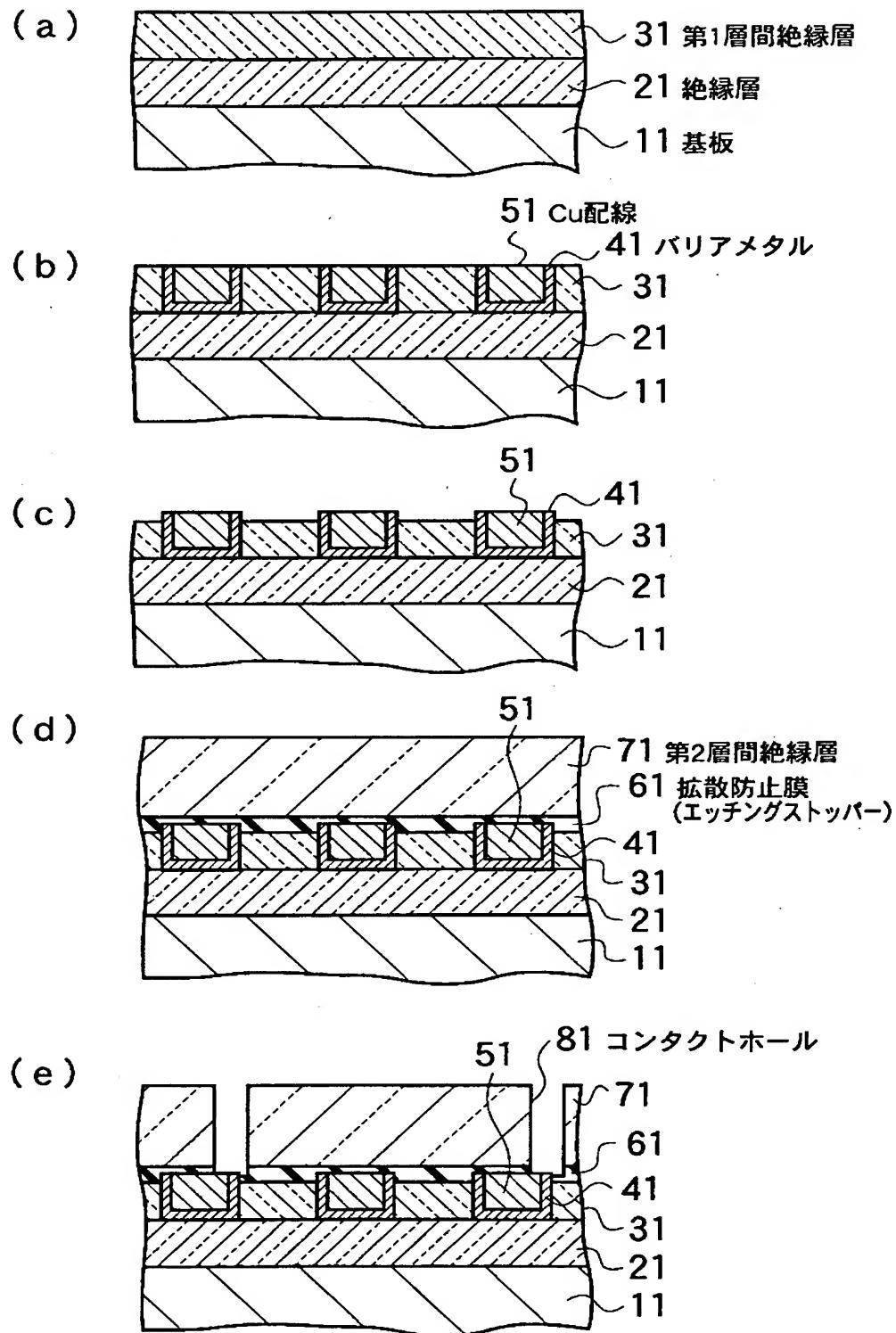
(a)



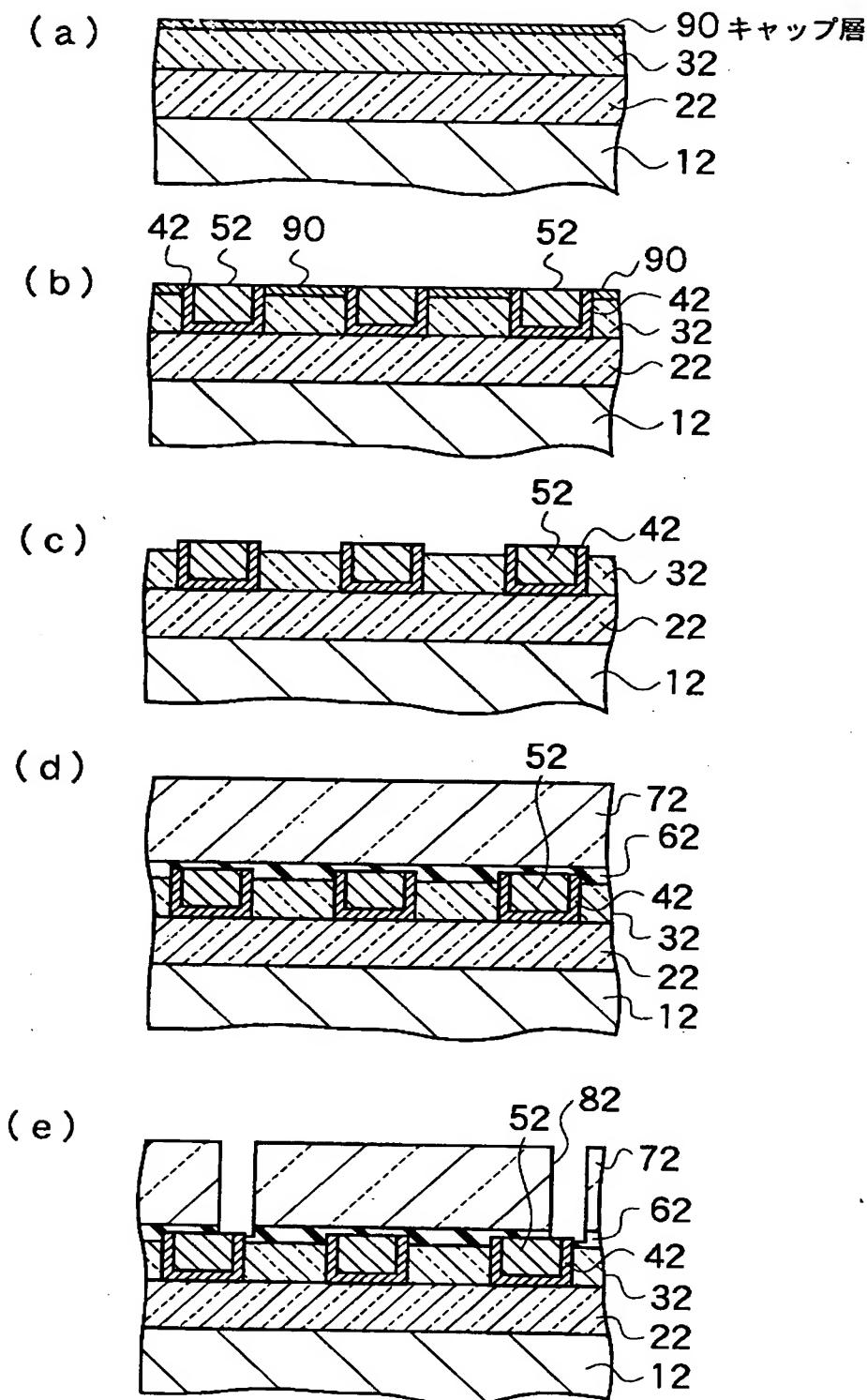
(b)



【図2】

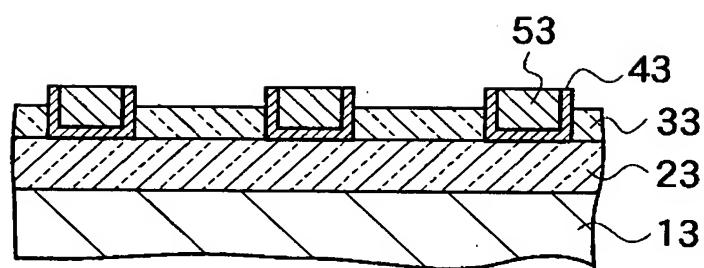


【図3】

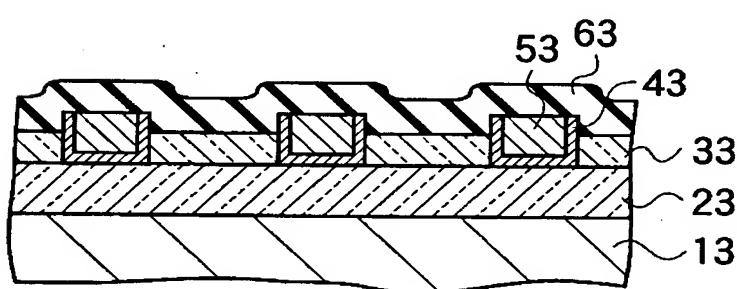


【図4】

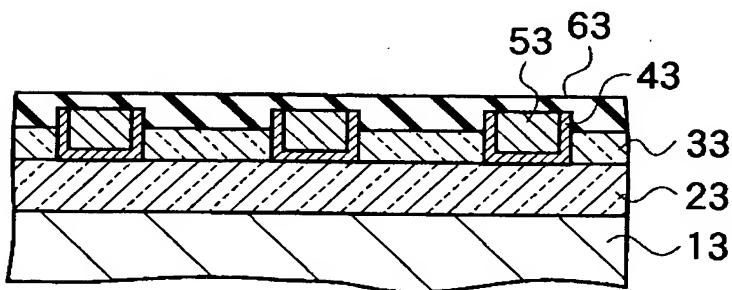
(a)



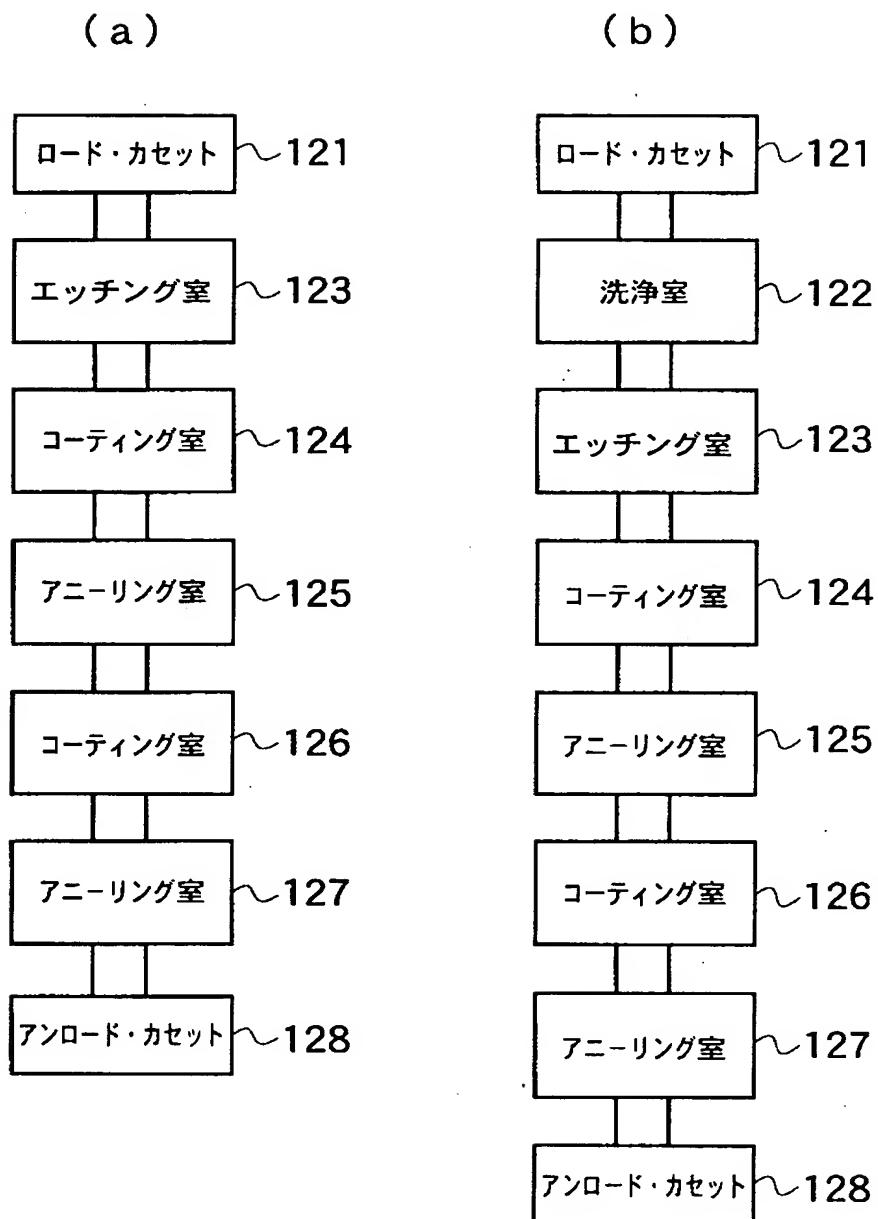
(b)



(c)

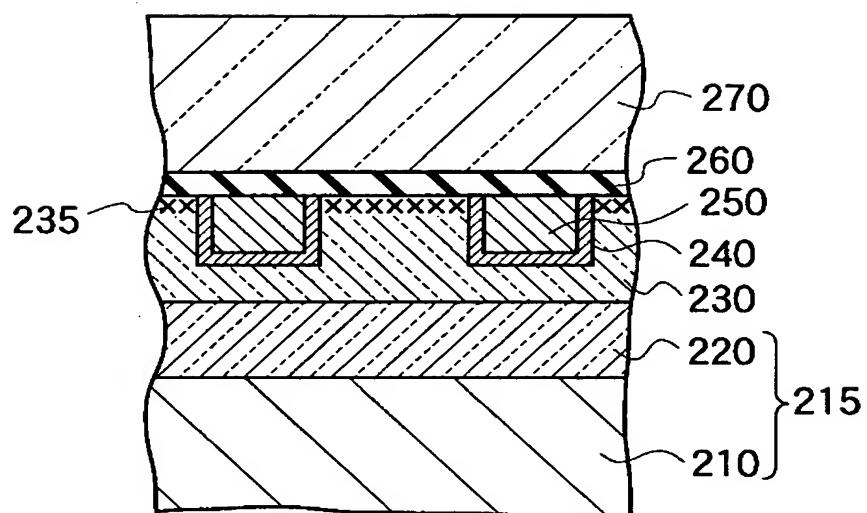


【図5】

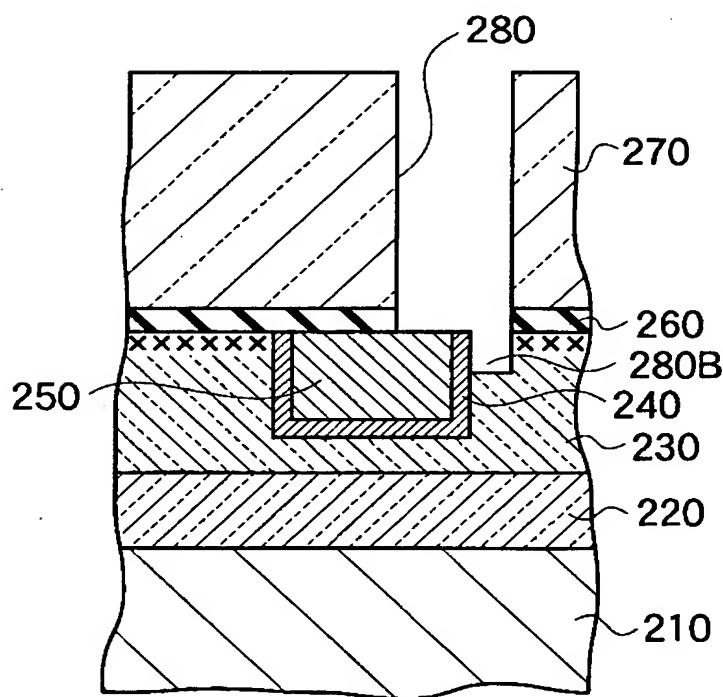


【図6】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 埋め込み型導電層において、層間絶縁層表面に研磨処理による機械的ダメージ層を残さず、コンタクトホール形成時の歩留まりを上げる。

【解決手段】 半導体基板層上に第1層間絶縁層を形成し、第1層間絶縁層に溝を形成し、第1層間絶縁層上に導電層を形成し、溝を前記導電層で埋め、導電層形成後の基板表面を研磨し、第1層間絶縁層と導電層とが露出する平坦面を形成する。さらに、研磨によってできた前記第1層間絶縁層表面のダメージ層をエッティング除去し、エッティング後の基板表面上に塗布法を用いて、絶縁膜を形成する。続いて、上記絶縁膜上に、絶縁膜に対するエッティング選択比が高い第2層間絶縁層を形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝